

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 9 日
Date of Application:

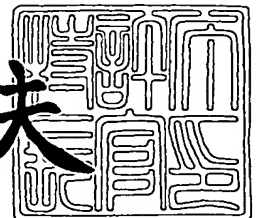
出 願 番 号 特 願 2 0 0 3 - 3 2 8 4 0 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 8 4 0 6]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 0390285301
【提出日】 平成15年 9月19日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 15/04
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 米田 正人
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100094053
 【弁理士】
 【氏名又は名称】 佐藤 隆久
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-337202
 【出願日】 平成14年11月20日
【手数料の表示】
 【予納台帳番号】 014890
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9707389

【書類名】 特許請求の範囲**【請求項 1】**

あらかじめ第 1 の処理重要度の順序に配列された複数のルールデータを含む第 1 のデータ群と、この第 1 のデータ群を新たに第 2 の処理重要度の順序に再配列する再配列手段と、この再配列手段により前記第 2 の処理重要度の順序に並べ替えられた新たな第 2 のデータ群と、この第 2 のデータ群を前記第 2 の処理重要度の順序の小さい方（または大きい方）から順次、複数のメモリブロックに割り当てる割り当て手段と、を有し、

前記割り当て手段により割り当てられたデータを前記メモリブロックに格納する際に、その前記メモリブロックの各々に割り当てられたデータに関して、前記再配列手段により前記第 1 の処理重要度の順序に再々配列して格納することを特徴とするデータ検索装置。

【請求項 2】

前記割り当て手段により割り当てられたデータに関して、すくなくとも 1 つの前記メモリブロックのデータが、前記第 2 の処理重要度の順序においてどの範囲にあるかを示す格納データ範囲表示レジスタを有することを特徴とする請求項 1 に記載のデータ検索装置。

【請求項 3】

前記格納データ範囲表示レジスタと入力検索データとを比較し、比較結果にもとづいて、当該入力検索データと比較すべきデータが格納されているメモリブロックを含むメモリ領域を指定する比較指定部と、

前記比較指定部の指定結果にもとづいて、前記複数のメモリブロックから、前記比較すべきデータが格納されたメモリブロックを検索時にアクティブにするブロック制御部と、を有することを特徴とする請求項 2 に記載のデータ検索装置。

【請求項 4】

前記複数のメモリブロックの何れか 1 つまたは複数のメモリブロックの組み合わせを参照番号に対応させて保持しているブロック指定レジスタと、

前記ブロック指定レジスタに格納された値に応じて前記メモリブロックをアクティブにするブロック制御部と、を有することを特徴とする請求項 2 に記載のデータ検索装置。

【請求項 5】

前記参照番号に対応して前記格納データ範囲表示レジスタを有することを特徴とする請求項 4 に記載のデータ検索装置。

【請求項 6】

前記第 2 の処理重要度が、数の大きさに応じた処理重要度を有することを特徴とする請求項 1 に記載のデータ検索装置。

【請求項 7】

前記第 2 の処理重要度が、数の大きさに応じた処理重要度を有することを特徴とする請求項 2 に記載のデータ検索装置。

【請求項 8】

前記第 2 の処理重要度が、数の大きさに応じた処理重要度を有することを特徴とする請求項 3 に記載のデータ検索装置。

【請求項 9】

前記第 2 の処理重要度が、数の大きさに応じた処理重要度を有することを特徴とする請求項 4 に記載のデータ検索装置。

【請求項 10】

前記第 2 の処理重要度が、数の大きさに応じた処理重要度を有することを特徴とする請求項 5 に記載のデータ検索装置。

【請求項 11】

前記複数のメモリブロックが連想メモリ素子で構成され、

格納されたデータの前記第 2 の処理重要度の範囲に応じて決められる 1 つ又は複数のメモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 1 に記載のデータ検索装置。

【請求項 1 2】

前記複数のメモリブロックが連想メモリ素子で構成され、

格納されたデータの前記第 2 の処理重要度の範囲に応じて決められる 1 つ又は複数のメモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 2 に記載のデータ検索装置。

【請求項 1 3】

前記複数のメモリブロックが連想メモリ素子で構成され、

アクティブにした前記メモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 3 に記載のデータ検索装置。

【請求項 1 4】

前記複数のメモリブロックが連想メモリ素子で構成され、

アクティブにした前記メモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 4 に記載のデータ検索装置。

【請求項 1 5】

前記複数のメモリブロックが連想メモリ素子で構成され、

アクティブにした前記メモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 5 に記載のデータ検索装置。

【請求項 1 6】

前記複数のメモリブロックが連想メモリ素子で構成され、

格納されたデータの前記第 2 の処理重要度の範囲に応じて決められる 1 つ又は複数のメモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 6 に記載のデータ検索装置。

【請求項 1 7】

前記複数のメモリブロックが連想メモリ素子で構成され、

格納されたデータの前記第 2 の処理重要度の範囲に応じて決められる 1 つ又は複数のメモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 7 に記載のデータ検索装置。

【請求項 1 8】

前記複数のメモリブロックが連想メモリ素子で構成され、

アクティブにした前記メモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 8 に記載のデータ検索装置。

【請求項 1 9】

前記複数のメモリブロックが連想メモリ素子で構成され、

アクティブにした前記メモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 9 に記載のデータ検索装置。

【請求項 2 0】

前記複数のメモリブロックが連想メモリ素子で構成され、

アクティブにした前記メモリブロックに対し、入力された前記検索データにもとづいて内容アドレス検索を実行させ、当該内容アドレス検索でヒットした前記メモリブロックのアドレスを出力する検索制御部を有する請求項 1 0 に記載のデータ検索装置。

【書類名】 明細書

【発明の名称】 データ検索装置

【技術分野】

【0 0 0 1】

本発明は、高速で低消費電力のデータ検索装置に関するものである。

【背景技術】

【0 0 0 2】

インターネットの発展に伴って、パケットの高速経路探索やセキュリティ確保のためにあらかじめ決められたルールデータとパケットデータとの高速な検索比較が要求されている。このような要求から、高速データ検索が可能な連想メモリ（C A M : Content Addressable Memory）が必須のデバイスとなってきた（たとえば、特許文献 1 参照）。

【0 0 0 3】

上記特許文献 1 には、「0」と「1」のみのデータをもつバイナリ(Binary) C A Mや、これに加えて「X (Don't care)」のデータをもつターナリ(Ternary) C A Mの種類、あるいはビット長の違いに応じて、格納すべきデータを異にする複数の物理バンクを有する連想メモリが開示されている。

【0 0 0 4】

ところで、現在主流の C A Mは 3 値 C A M（ターナリ C A M）と称され、1つのデータは複数のビットデータで構成され、その各ビットは「0」と「1」と「*（ドントケア）」の 3 種類を格納することができる。この格納されたデータ（ルールデータ）と外部から入力される検索データ（パケットデータ）とをビットごとに比較する。格納データのビットが「0（または 1）」で、検索データの対応ビットが「0（または 1）」のときはビット比較結果が一致し、検索データが「1（または 0）」のときは不一致ということになる。また、「*（ドントケア）」は、検索データが「0」であっても「1」であっても一致するということになる。この比較がデータを構成するすべてのビットに対して行われ、そのすべてが一致したとき、はじめて格納データと検索データが一致したことになる。

【0 0 0 5】

また、C A Mに格納されるデータと外部からの検索データが複数個一致する場合が存在するので、その際に格納アドレスの小さい（あるいは大きい）順に出力するためのプライオリティ回路が存在する。通常は、この一致したデータのアドレスの一番小さいもののみが出力される構成になっている。したがって、ルールデータを作成する場合は、アドレスの小さい順に重要なルールデータを格納してゆくことになる。この一例を示したものが、図 2 である。

【0 0 0 6】

図 2 では簡単のために、格納ルールデータ 1 0 0 は大きく 4 ビットデータの 3 つの領域（A, B, C）に分かれており、そのルールデータのプライオリティ順（図中では、理解のために順番のプライオリティタグ 1 0 2 をつけているが、実際にはこのようなものは存在しない）にしたがって格納アドレス 1 0 1 の位置にそれぞれのルールデータが格納される。また、この格納ルールデータ 1 0 0 の中の「*（図中はこの記号 1 つで 4 ビットを表現している）」はその値がなんでもよいことを示している。さらに、たとえば「2-4」というのは、そのデータが「2」から「4」の領域を表現することを表している。実際には、このような範囲の指定には、格納ルールデータ 1 0 0 の各ビットの値を適当な値にし、かつ複数の格納ルールデータ 1 0 0 で 1 つのルールを表現する場合もあるが、今回簡単のために 1 つの格納ルールデータ 1 0 0 で 1 つのルールが表現できるとしている。

【0 0 0 7】

しかしながら、従来の連想メモリは自らに格納された格納データ 1 つ 1 つに対応して比較回路を持ち、外部からの検索データとすべての格納データを一度に比較する構造を有する。そのため、きわめて高速な検索が可能となるが、すべての比較回路が同時に動くために、極めて大きな消費電力を必要とする。当然このデバイスを用いたデータ転送装置も高速なデータ転送が可能となるが、大きな消費電力が問題となっている。このような比較回

路については上記特許文献 1 には言及されていないが、言及されていない以上、一般的な構成をとると考えられることから、同じ問題を抱えている。

【0008】

たとえば、図 2 に示す CAM はルールデータを効率的に格納し、また、外部からのデータとの検索が極めて高速に行うことができるが、その消費電力が極めて大きい。これは、すべての格納ルールデータと一度に検索データを比較するからである。また、CAM のプライオリティ回路の特性上、重要なルールほど、アドレスの小さい（または大きい）位置に格納する必要があるが、外部からの検索データと一致するルールが存在するエリアをあらかじめ特定することが困難なためである。そのために、すべてのルールデータに対して一致比較を行う必要があったことから、その一致比較の実行に大きな電力を消費している。

【特許文献 1】特開 2001-236790 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

解決しようとする問題点は、外部からの検索データとすべての格納データとを比較するため、消費電力が大きく、そのことが高速で大規模なデータ検索装置の実現を阻害していたことである。

【課題を解決するための手段】

【0010】

本発明に係るデータ検索装置は、あらかじめ第 1 の処理重要度の順序に配列された複数のルールデータを含む第 1 のデータ群と、この第 1 のデータ群を新たに第 2 の処理重要度の順序に再配列する再配列手段と、この再配列手段により前記第 2 の処理重要度の順序に並べ替えられた新たな第 2 のデータ群と、この第 2 のデータ群を前記第 2 の処理重要度の順序の小さい方（または大きい方）から順次、複数のメモリブロックに割り当てる割り当て手段と、を有し、前記割り当て手段により割り当てられたデータを前記メモリブロックに格納する際に、その前記メモリブロックの各々に割り当てられたデータに関して、前記再配列手段により前記第 1 の処理重要度の順序に再々配列して格納することを特徴とする。

【0011】

本発明では、好適に、前記割り当て手段により割り当てられたデータに関して、すくなくとも 1 つの前記メモリブロックのデータが、前記第 2 の処理重要度の順序においてどの範囲にあるかを示す格納データ範囲表示レジスタを有することを特徴とする。

この場合、さらに好適に、前記格納データ範囲表示レジスタと入力検索データとを比較し、比較結果にもとづいて、当該入力検索データと比較すべきデータが格納されているメモリブロックを含むメモリ領域を指定する比較指定部と、前記比較指定部の指定結果にもとづいて、前記複数のメモリブロックから、前記比較すべきデータが格納されたメモリブロックを検索時にアクティブにするブロック制御部と、を有することを特徴とする。

【0012】

あるいは、上記格納データ範囲表示レジスタを有する場合、好適に、前記複数のメモリブロックの何れか 1 つまたは複数のメモリブロックの組み合わせを参照番号に対応させて保持しているブロック指定レジスタと、前記ブロック指定レジスタに格納された値に応じて前記メモリブロックをアクティブにするブロック制御部と、を有することを特徴とする。

【0013】

本発明のデータ検索装置において、第 1 の処理重要度が決められた複数のルールデータを含む第 1 のデータ群が入力されると、前記再配列手段により、その第 1 のデータ群が、新たに第 2 の処理重要度の順序に再配列される。割り当て手段は、第 2 の処理重要度に並べ替えられた第 2 のデータ群を、第 2 の処理重要度の順序の小さい方（または大きい方）から順次、複数のメモリブロックに割り当てる。そして、第 2 のデータ群は、メモリごとに割り当てられたデータ単位で、再度、第 1 の処理重要度の順序に再配列され、それぞれ

のメモリブロックに格納される。

このような構成のデータ検索装置では、入力される検索データに応じて、どのメモリブロック内を検索すればよいかがわかる。つまり、第 2 の処理重要度とメモリブロックとの対応関係が格納データ範囲表示レジスタに保持されている場合、その保持内容と入力検索データを比較指定部が比較することにより、あるいは、ブロック指定レジスタの保持内容を、参照番号をもとに調べることにより、ブロック制御部がアクティブにすべきメモリブロックが特定できる。したがって、検索データと同じ内容のデータが含まれる可能性があるメモリブロックを含む 1 つまたは複数のメモリブロックのみを、検索時にアクティブにする制御が可能となる。そのとき、他のメモリブロックはアクティブにされない。

【発明の効果】

【0014】

本発明の構成をもつデータ検索装置を構成することで、従来 C A M の大きな問題点であった大きな消費電力の発生を抑えることが可能になる。これにより、C A M 本来の格納データの構成が自由に換えられ、かつ高速検索を可能とする高速・低消費電力 C A M が実現できる。

【発明を実施するための最良の形態】

【0015】

〔第 1 の実施の形態〕

第 1 の実施の形態はデータ検索装置に関する。

本発明の実施の形態におけるデータ検索装置は、半導体メモリ集積回路、当該集積回路を搭載したモジュール、基板、あるいは、これらが筐体に収容された電子機器等で実現される。以下、本発明のデータ検索装置の要部である連想メモリ（C A M）を中心に、実施の形態を説明する。

【0016】

図 1 は、C A M の概略構成を示すブロック図である。同図に示す C A M 1 0 は、複数のメモリブロック 1-1, 1-2, 1-3, … からなる C A M 部 1、メモリブロックの何れかをアクティブにするブロック選択制御部 2、および、検索制御部 3 を有する。

ブロック選択制御部 2 は、本発明の「比較指定部」と「ブロック制御部」との機能を有する。検索制御部 3 は、データ検索に必要な制御を行うメモリ周辺回路であり、とくに図示しないが、C A M セルに接続されたビット線、ビット補線、マッチ線等の各種信号線を選択し駆動する回路、書き込みや読み出し時のデータバッファ回路、電源回路等を含む。また、必要に応じて、検索データ（S K）の一部のビットを比較対象から除くためのマスク機能も検索制御部 3 に含まれる。さらに、検索制御部 3 は、第 1 の処理重要度の順序にしたがって入力されてきた格納ルールデータ（第 1 のデータ群）を、第 2 の処理重要度の順序（たとえば、データ値の大小の順序）にしたがって並べ替える「再配列手段」の機能を有する。検索制御部 3 は、この第 2 の処理重要度で配列されたデータ群（第 2 のデータ群）を、その第 2 の処理重要度の順位で順次、複数のメモリブロック 1-1, 1-2, 1-3, … に割り当てる「割り当て手段」の機能も有する。なお、この「再配列手段」と「割り当て手段」を 1 つまたはそれぞれ独立の機能ブロックに実現してもよいし、また、「割り当て手段」の機能をブロック選択制御部 2 に持たせてもよい。

【0017】

詳細は後述するが、ここで、ルールデータのメモリ格納時の制御を簡単に述べる。

上記「再配列手段」が第 1 のデータ群を並べ替えて第 2 のデータ群とし、上記「割り当て手段」により、第 2 のデータ群に対し、第 2 の処理重要度の順序にしたがって順次それぞれのメモリブロックに格納するデータ範囲が決められる。後述するように、そのデータ範囲とメモリブロックとの関係を示す情報は、たとえばブロック選択制御部 2 内の「格納データ範囲表示レジスタ」に保持される。その後、「再配列手段」は、第 2 のデータ群を実際のメモリブロックに書き込む際に、第 2 の処理重要度の順位で割り当てられたメモリブロックごとのデータ単位で、もう一度、本来の順位である第 1 の処理重要度に再配置し直す。そのため、検索制御部 3 により各メモリブロックに格納されたデータは、大きくメ

メモリブロック間で見ると第2の処理重要度の範囲で区分けされているが、個々のメモリブロック内では第1の処理重要度で順次配列されて格納されている。

【0018】

以下、このデータ配列と格納、ならびに、データ検索時の制御を詳細に説明する。最初に、第1の処理重要度にしたがって行っていた従来のデータ格納構造を説明し、その後、これとの比較で本発明の実施の形態を説明する。

図2に、従来のデータ格納構造を示す。本例では、格納ルールデータは11個存在し、そのルールデータは各4ビットずつの3つの領域A, B, Cに分かれている。

最もプライオリティが高いルールデータ100（同図に示されるプライオリティタグ102がP1のもの）は、1番目のアドレスに格納されており、Aが11, Bが2-4, Cが3となっている。2番目のプライオリティのルールデータ100（同図に示されるプライオリティタグ102がP2のもの）は2番目のアドレスに格納されており、Aが0, Bが6, Cが3-5となっている。また、一番プライオリティが低いルールデータ100（同図に示されるプライオリティタグ102がP11のもの）は、11番目のアドレスに配置されており、Aが8, Bが2, Cが10となっている。

【0019】

この例でもわかるように、A, B, Cを一連のデータとみなすと、最もプライオリティが高いルールデータ100はその大きさが110203から110403までの範囲を表し、2番目のプライオリティのルールデータ100は000603から000605の範囲を表し、11番目のプライオリティのルールデータ100は080210を表す。一方、この格納ルールデータと外部からの検索データを比較するわけであるが、その際、従来のCAMはすべての格納ルールデータの比較回路がすべて動くことになるわけである。

【0020】

このようにすべての格納ルールデータ100に対して比較しなければならないのは、格納ルールデータ100がある一般的な秩序（データの大小等）をもって配置されておらず、検索データSKと格納ルールデータ100の関係が全くわからないためである。

【0021】

そこで、本発明では、あらたに、その格納ルールデータ100と検索データSKにある関係を見いだせるようにCAMデータを構成し、アクセスする部分を限定することで、低消費電力化をはかるものである。

【0022】

さて、一般的な秩序の代表的なものとして、データの大小がある。そこで、前述した「再配置手段」によって、これをまず大小の順番にならべ、それを4つずつのメモリブロック（以下、単に「BLOCK」と表記する）にアサインしなおしたものが、図3である。大きさの順で並べた場合、本来のルールデータ100のプライオリティの順番は保たれていない。しかし、各BLOCKに格納されるルールデータ100の範囲は明確になる。たとえば、

BLOCK1のデータ範囲は、「000201（プライオリティタグP4のルールデータ）」から「011531（プライオリティタグP7のルールデータ）」、

BLOCK2のデータ範囲は、「011502（プライオリティタグP9のルールデータ）」から「070431（プライオリティタグP10のルールデータ）」、

BLOCK3のデータ範囲は、「080210（プライオリティタグP11のルールデータ）」から「120405（プライオリティタグP5のルールデータ）」、となる。

【0023】

しかし、ここでBLOCK1とBLOCK2の境界に問題が発生する。つまり、プライオリティタグP7のルールデータは自ら範囲をもち、「010800」から「011531」までのデータを表現している。一方、プライオリティタグP9のルールデータは「011502」を表している。つまり、プライオリティタグP7のルールデータはプライオリティタグP9のルールデータよりも小さい場合もあるし、また大きい場合もあるわけである。

【0024】

このような場合に、このルールデータをどのBLOCKのデータとして扱うべきか、ということについて大きく2つの表現方法が考えられ、そのときの各BLOCKのデータ範囲は以下のようになる。

【0025】

1) 分割する方法

BLOCK1にはこのプライオリティタグP7のルールデータの「011501」までを、BLOCK2には「011502」から「011531」までのルールデータを分解して格納した場合、BLOCK1のデータ範囲は「000201」から「011501（プライオリティタグP7のルールデータの一部）」まで、BLOCK2のデータ範囲は「011502（プライオリティタグP7のルールデータの一部）」から「070431」まで、BLOCK3のデータ範囲は「080210」から「120405」までとなる。

【0026】

2) 分割なしの方法

BLOCK1にはこのプライオリティタグP7のルールデータの「010800」から「011531」のすべてを格納し、BLOCK2にはプライオリティタグP9のルールデータの「011502」以降のルールデータを格納した場合、BLOCK1のデータ範囲は「000201」から「011531」まで、BLOCK2のデータ範囲は「011502」から「070431」まで、BLOCK3のデータ範囲は「080210」から「120405」までとなる。

このときはBLOCK1とBLOCK2の間でデータの範囲が重複していることに注意をする必要がある。

【0027】

まずは、上記1)に示す分割する方法の場合のルールデータ格納状態を示したものが図4である。BLOCK1に表現されているプライオリティタグP7のルールデータは、「010800」から「011501」の範囲を表す（同図P7AとP7B）。また、BLOCK2に表現されているプライオリティタグP7のルールデータは、「011502」から「011531」までを表す（同図P7C）。各BLOCKのなかでは、一応本来のルールデータの本来のプライオリティにもとづいたデータ配置にしてある。

【0028】

さてこの状態で、外部からの検索データとどのように一致検索されるかを説明する。図4では、本発明の「格納データ範囲表示レジスタ」の一実施態様を構成するポイント22Aを有している。まず、この例ではメモリブロック（BLOCK1からBLOCK3）のデータの範囲を表すものとして、ポイント22AにおけるBLOCK2のデータトップポイントTP2にはBLOCK2の最小データ「011502」、ポイント22AにおけるBLOCK3のデータトップポイントTP3にはBLOCK3の最小データ「070200」があらかじめ入力されている。

【0029】

外部から入力される検索データ（SK）201の値を「011503」とする。このデータが、レンジコンパレータ（Range Comparator）21に入力され、データトップポイントTP2、TP3と比較され、その範囲が格納ルールデータのBLOCK2の範囲であることが判別される。なお、レンジコンパレータ21は、本発明の「比較指定部」の一実施態様を構成する。

【0030】

この判別結果により、ブロック制御部（BLOCK CONTROLLER）23がBLOCK2のみをアクティブにする。すると検索データ（SK）201を用いて、アクティブにされたメモリブロックに対し検索が開始される。このようにして従来不可能であったアクティブ化する検索領域を限定し、CAMによる高速・低消費電力検索を可能とする。

【0031】

また、格納ルールデータ領域の各BLOCKへのデータのアサインの方法として、データ範囲が重なっている上記2)に示す場合に関しては、図5を参照すると、同図ではBLOCKの

格納データ範囲を表示するレジスタ 22 内に、BLOCK ごとに 2 つのポインタ値、すなわちトップポインタ (Top Pointer) 値 TP とエンドポインタ (End Pointer) 値 EP をもっている。BLOCK 1 に関しては各々 TP 1 (0, 2, 1) と EP 1 (1, 15, 31)、BLOCK 2 に関しては TP 2 (1, 15, 2) と EP 2 (7, 4, 31)、BLOCK 3 に関しては TP 3 (8, 2, 10) と EP 3 (12, 4, 5) が、それぞれトップポインタ値 TP とエンドポインタ値 EP の組み合わせとなる。

【0032】

上記 1) の場合と同様に、まず検索データ (SK) 201 はレンジコンパレータ 21 で各 BLOCK のトップポインタとエンドポインタの各値と比較される。いま、仮に検索データを「011503」とすると、検索対象領域は BLOCK 1 と BLOCK 2 ということになり、検索時にアクティブになる領域として BLOCK 1 と BLOCK 2 が制御される。このとき一致すべきプライオリティタグ P 7 のルールデータは BLOCK 1 に格納されているため、BLOCK 1 で一致が発生する。

【0033】

このように、プライオリティタグ P 7 のルールデータの範囲が「010800」から「011531」であるため、プライオリティタグ P 9 のルールデータに比べて小さい領域と大きい領域がある場合に、アドレスの小さいものを出力するような単純な CAM のプライオリティエンコーダ (図示せず) を使用するためには本来のルール上プライオリティの高いものを上位 (アドレスの小さい) BLOCK に配置することが重要である。また、もちろん、プライオリティエンコーダ回路を特殊なプライオリティを判断制御するように設計することも可能ではある。

【0034】

上記説明ではとくに言及しなかったが、一般には CAM を半導体集積回路で構成するが、その IC の内部に入れる構成は、最低でも複数の BLOCK からなる CAM 部 1 のみでよく、必要に応じて、すなわち制御のしやすさなどの観点からメモリ周辺回路に入れるべき構成としては、たとえばブロック制御部 23 を IC に搭載することが望ましい。いずれにしても、本実施の形態によれば、CAM 部 1 を構成する複数の BLOCK のうち必要な BLOCK のみがアクティブにされるので、CAM IC の消費電力を低減することが可能となる。

【0035】

[第 2 の実施の形態]

上記第 1 の実施の形態では、比較指定部としてのポインタが保持しているデータの格納場所に関する情報がデータの大きさの範囲であった。

第 2 の実施の形態では、このデータの格納場所に関する情報として、データの大きさの範囲以外でもよい場合を例示する。

【0036】

図 6 は、第 2 の実施の形態に係るデータ検索装置のブロック図である。なお、図 1 の全体構成図は本実施の形態でも共通する。

このデータ検索装置は、CAM 30 内に、第 1 の実施の形態と同様に、複数のメモリブロック (BLOCK) 1-1 ~ 1-4 を有する CAM 部 1 と、ブロック制御部、たとえばブロックコントローラ 23 とを有する。CAM 部 1 内の各 BLOCK の構成、BLOCK にデータを格納する方法、データが複数の BLOCK に含まれる場合の BLOCK の分割の仕方などは、第 1 の実施の形態と共通するため、ここでの説明は省略する。

【0037】

本実施の形態では、CAM 30 内に、データの格納場所に関する情報の一例として、テーブル番号とブロック番号の対応関係を定義するブロック指定ブロック指定レジスタ 31 を有する。このテーブル番号とブロック番号が、本発明の「参照番号」に該当する。また変換回路 32 は、外部から入力されるテーブル番号をこのレジスタ内容と比較し、そのテーブル番号に対応した BLOCK の識別情報に変換する。ついで前記ブロックコントローラ 23 は、この BLOCK の識別情報が示す 1 つまたは複数のブロックのみアクティブにする。

【0038】

図7はブロック指定レジスタ31の格納データ例として、テーブル番号とBLOCKとの対応関係を示す図表である。

同図中、「テーブル1」ではBLOCK1と2のブロック番号値が1で他は0である。これは、BLOCK1とBLOCK2のみがこのテーブル1に属することを表している。各BLOCKは基本的に1つのテーブルに属するが、図示のように、重複して複数のテーブルに属することも可能である。また、各テーブルの構成およびBLOCK数に関しても特に制限はない。

【0039】

CAM30の外部には、入力された検索データ(SK)201にもとづいて、選択すべきテーブルを指定するテーブル選択制御部4を有する。テーブル選択制御部4は、テーブルポインタ(Table pointer)40と、テーブルコンパレータ(Table comparator)41と、テーブル制御部42とを含む。

【0040】

テーブルポインタ40は、複数の、ここでは4つのポインタ値TA.P1~TA.P4を保持しており、テーブルコンパレータ41の要求に応じてこれらのポインタ保持内容をテーブルコンパレータ41に出力する。テーブルコンパレータ41は、入力される検索データと、読み出したポインタ保持内容とを比較し、検索データと比較すべきCAM部内の格納データが格納されているテーブル番号を指定する。テーブル制御部42は、このテーブル番号を出力バス44に適合した形式に変換して出力させる。

【0041】

この出力バス44から送られてきたテーブル番号は前記変換回路32に入力される。変換回路32は、テーブル番号とBLOCKとの定義内容を保持したブロック指定レジスタ31を参照しながら、入力されたテーブル番号から、アクティブにすべきBLOCKを特定する。変換回路32からのBLOCKの識別情報がブロックコントローラ23に入力されると、このブロックコントローラ23の制御によって、検索データと比較すべき格納データを少なくとも含む1つまたは複数のBLOCKがアクティブにされる。その後は、第1の実施の形態と同様に、データ検索が行われ、その検索結果が当該CAM30から出力される。

【0042】

第2の実施の形態では、データ格納領域の指定をCAM外部で行うことによりCAM自体の消費電力を低減できる利点がある。また、第1の実施の形態とは観点を異にしたデータ格納領域の指定方法が可能である。

【0043】

なお、本実施の形態では、第1の実施の形態と組み合わせることができる。

図8に、この変形例のブロック図を示す。

このデータ検索装置は、そのCAM30内に、第1の実施の形態と共通する構成として、データの大きさの範囲を示す情報を保持する「格納データ範囲表示レジスタ」としてのポインタ22（または22A）と、「比較指定部」としてのレンジコンパレータ21とを有する。これらの機能は第1の実施の形態と共通することから、ここでの説明は省略する。この変形例では、検索データと比較すべき格納データのデータ格納領域をテーブルとレンジ（大きさの範囲）の双方から調べるため、その精度が向上し、また、テーブルで大まかなデータ格納領域を絞って、その後、レンジによりデータ格納領域を特定するなど、この制御の効率を上げることができる。

【0044】

上述した第1から第2の実施の形態では、以下に述べる利点が得られる。

CAMは、例えばSRAMベースのセル構成とすることができるため高速なデータ検索が可能である。

従来のCAMは、データがプライオリティ順（第1の処理重要度の順序）に格納されているのみで、データ自身から判別できる固有の順位（第2の処理重要度の順序）にもとづいて配置されていないことから、検索データと格納データの関係が全く分からない。そのため、従来のCAMでは、検索データが入力されるごとにすべてのCAMセルを短時間で一斉に駆動して、メモリの全領域に対し検索を行っていた。

本実施の形態では、メモリを複数のメモリブロックに分け、原則的には1つのメモリブロックのみを、あるいは、1ブロックが数キロバイトのデータを保持する通常のメモリブロックの規模から言うと確率的に少ないが、場合によっては2つのメモリブロックを駆動する。そのため、メモリ容量が大きく、ブロック数が多いほど、消費電力の低減効果が大きい。

ところで、例えばサーバー側や中継用のルータでは、極めて短い時間に非常に大量のパケットを処理するため消費電力が増大する。CAMチップの消費電力の増大は、チップの発熱により誤動作を引き起こし、高速性能を阻害する。これが、CAMの集積化を進めるうえでのボトルネックになっていた。本実施の形態では、CAMの消費電力を数分の1から1桁以上大幅に低減できるため、このような大規模なルータ等の性能を飛躍的に向上させることが可能となる。

【0045】

なお、上述した実施の形態では、とくにブロック選択制御手段、データの再配列手段および割り当て手段の各処理が、専用あるいは既存のCPUなどにおいてプログラムにより実行させる、アルゴリズムベースの実施の形態も可能である。この場合、より高速な処理が可能となる。

【0046】

この消費電力データ検索装置およびそれを用いたデータ転送装置の実現は、インターネットが進歩している現代では大きな社会課題になっており、今後この傾向は全世界におよぶものであり、その工業的価値はきわめて大きいものである。

【産業上の利用可能性】

【0047】

本発明は、大規模なメモリ容量のCAM、および、それを内蔵したルータなどの各種データ検索装置およびデータ転送装置の用途に広く適用できる。

【図面の簡単な説明】

【0048】

【図1】第1の実施の形態のCAMの概略構成を示すブロック図

【図2】第1の実施の形態のデータ格納方法の比較例として、一般的なデータ格納方法を示す図

【図3】第1の実施の形態のデータ格納方法を示す図

【図4】第1の実施の形態におけるブロック選択制御部の構成とデータ格納の例を示す図

【図5】第1の実施の形態におけるブロック選択制御部の他の構成とデータ格納の例を示す図

【図6】本発明の第2の実施の形態のデータ検索装置のブロック図

【図7】第2の実施の形態におけるテーブル番号とブロックとの対応関係の一例を示す図表

【図8】第2の実施の形態のデータ検索装置の変形例のブロック図

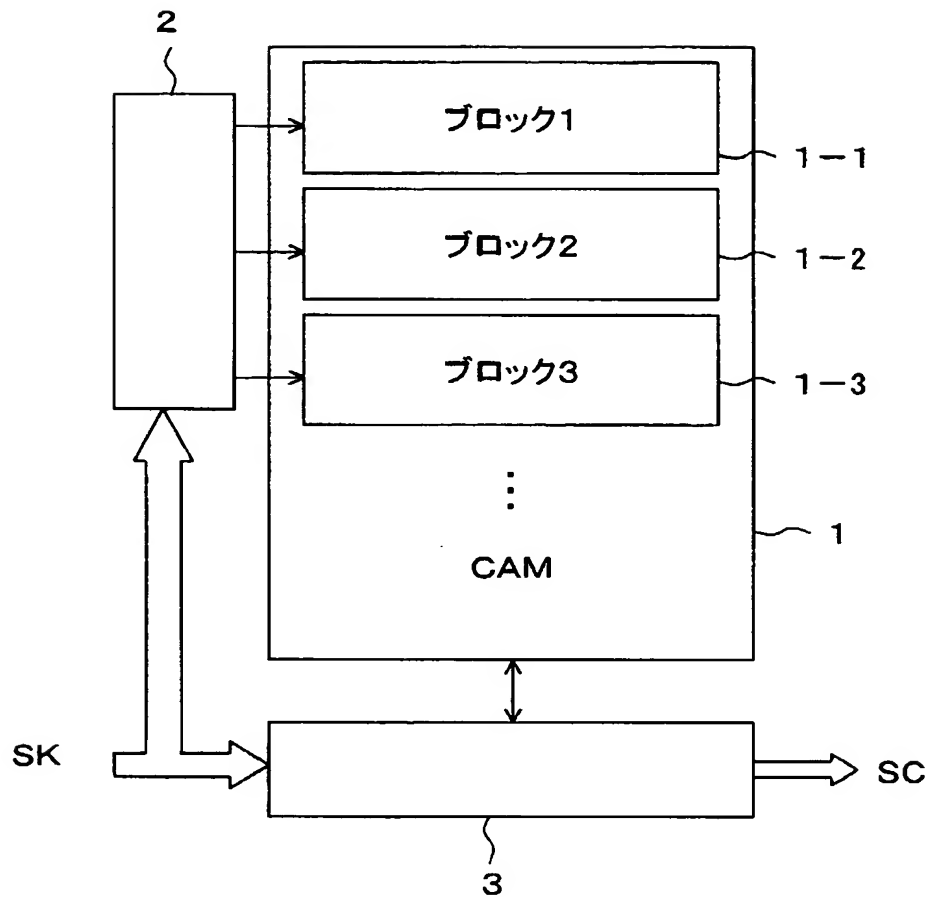
【符号の説明】

【0049】

1…データ格納部、1-1等…メモリブロック、2…ブロック選択制御部、3…検索制御部、10…内容アドレスメモリ部（CAM）、11…サーチキー抽出部、12…出力制御部、20…データ転送装置、21…レンジコンパレータ、22…ポインタレジスタ、23…ブロック制御部、100…格納ルールデータ、201…検索データ（SK）

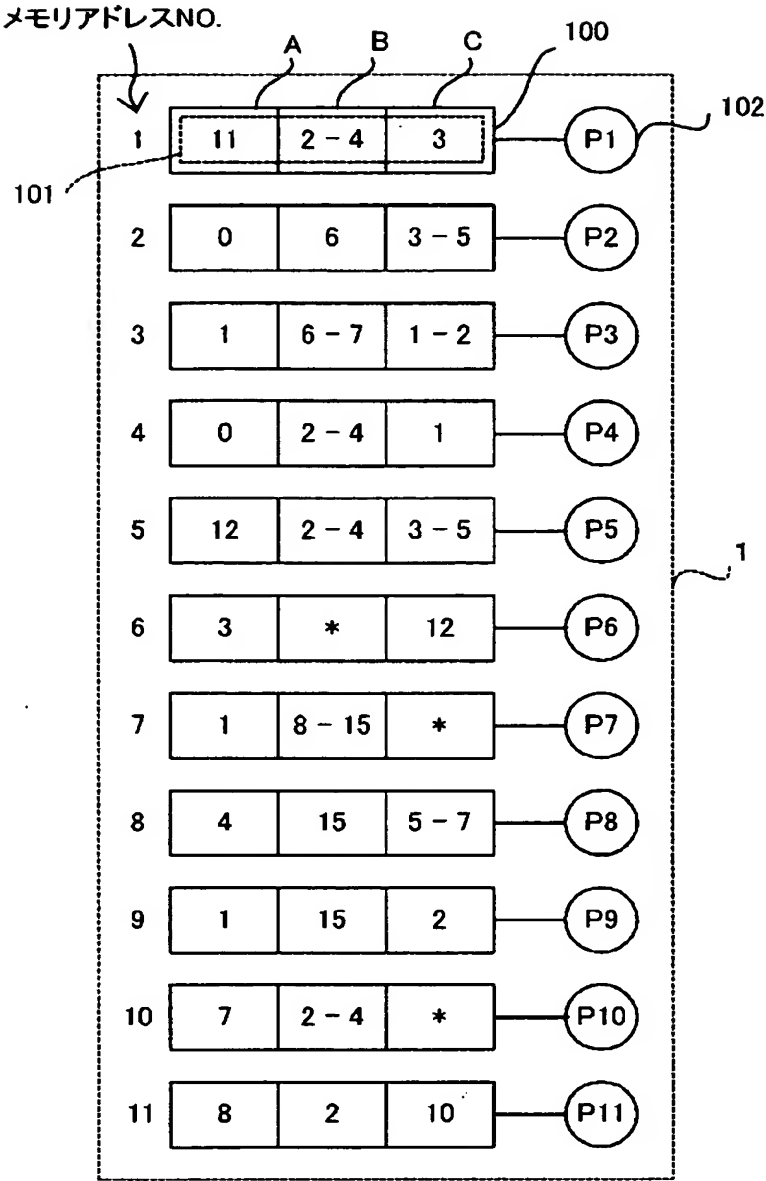
【書類名】 図面
【図 1】

10

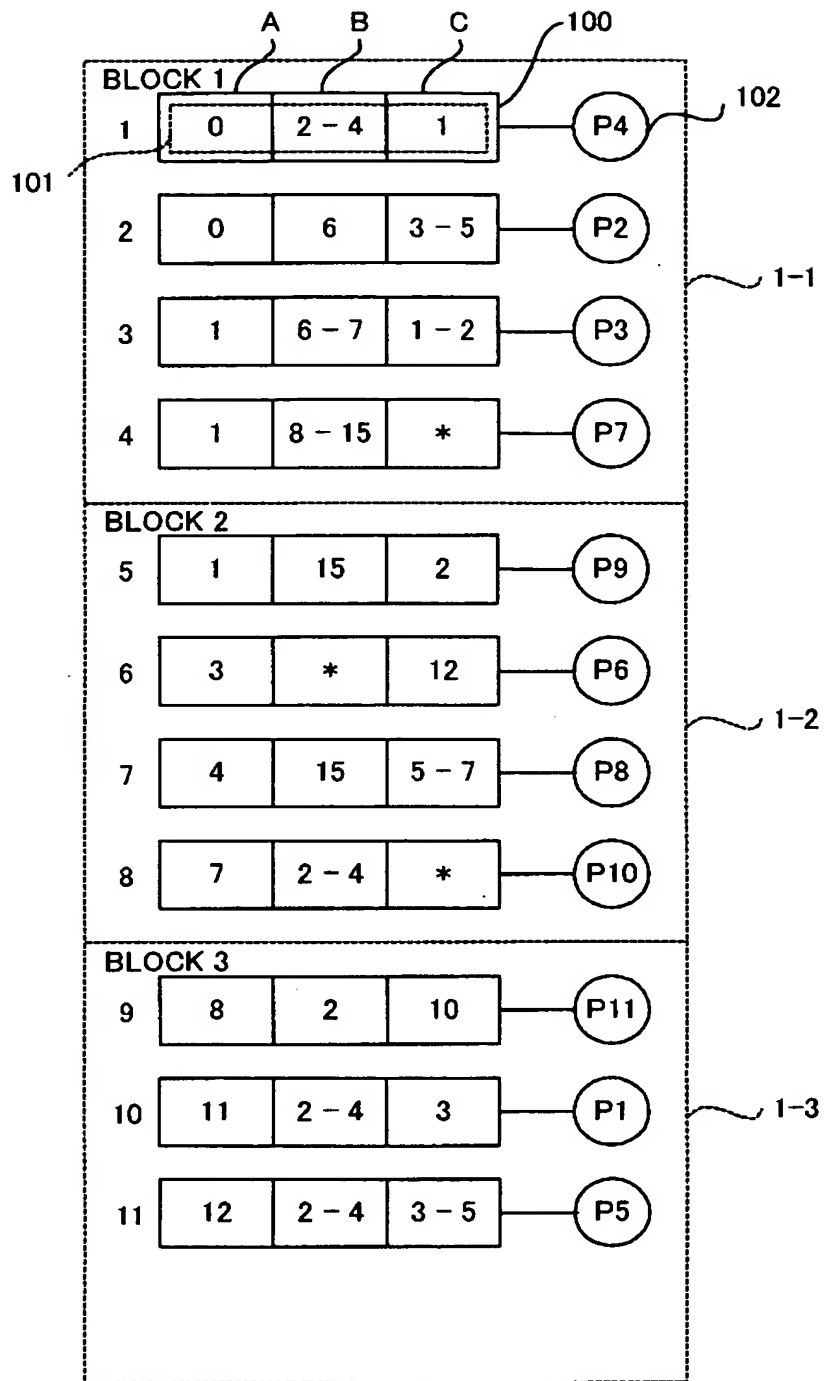


SK: 検索データ
SC: 検索結果

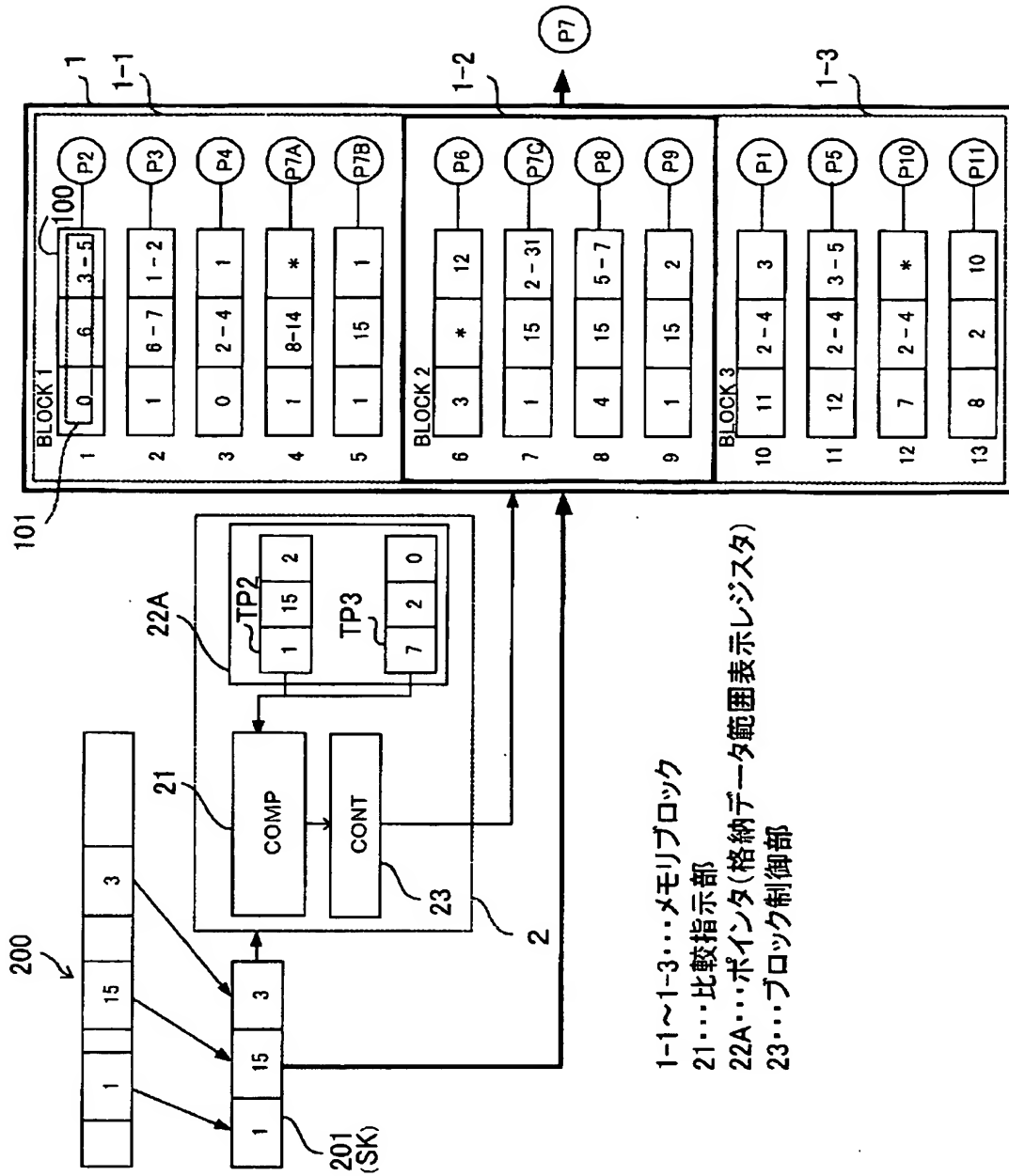
【図 2】



【図 3】

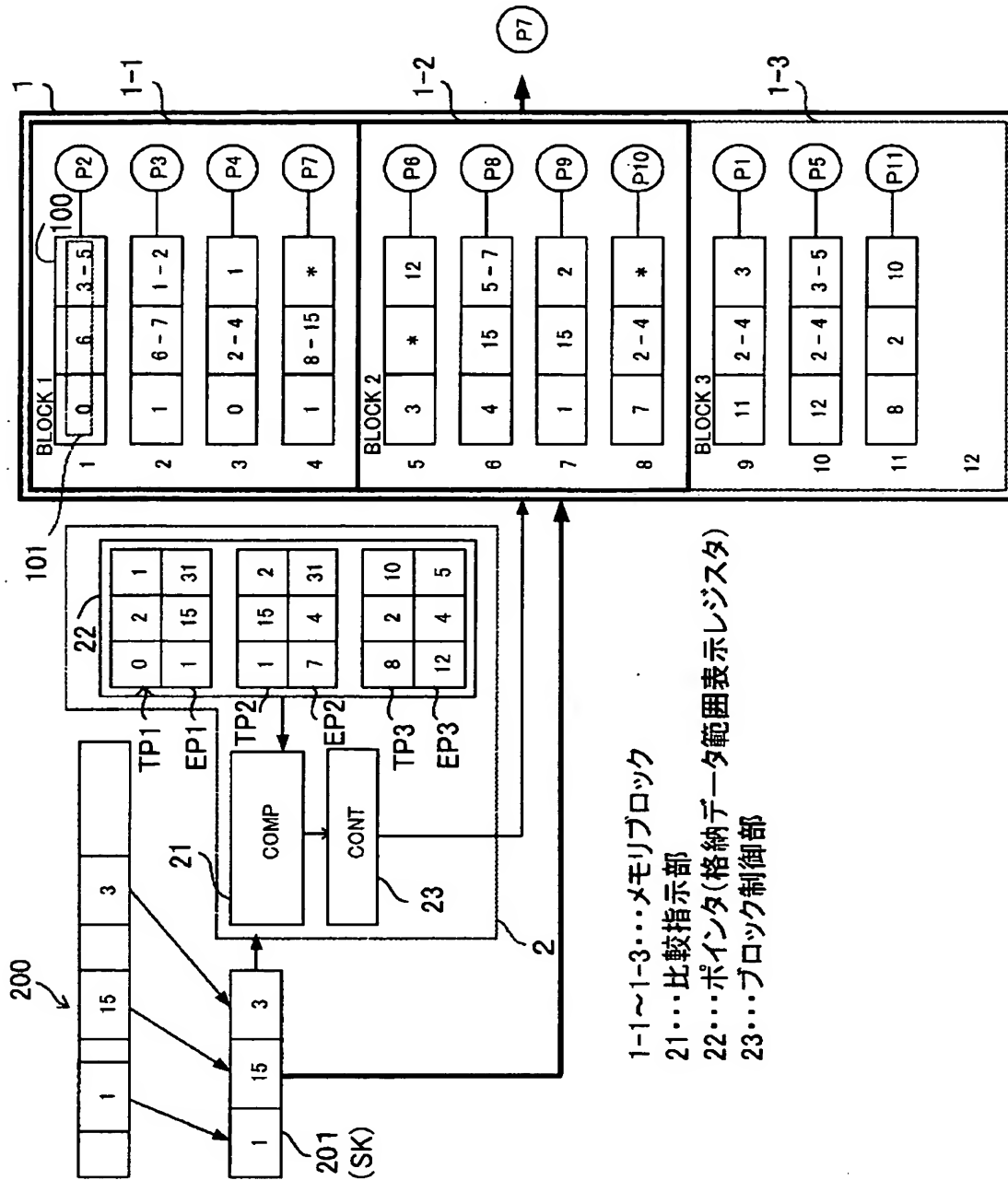


【図 4】



1-1~1-3...メモリブロック
21...比較指示部
22A...ポインタ(格納データ範囲表示レジスタ)
23...ブロック制御部

【図 5】



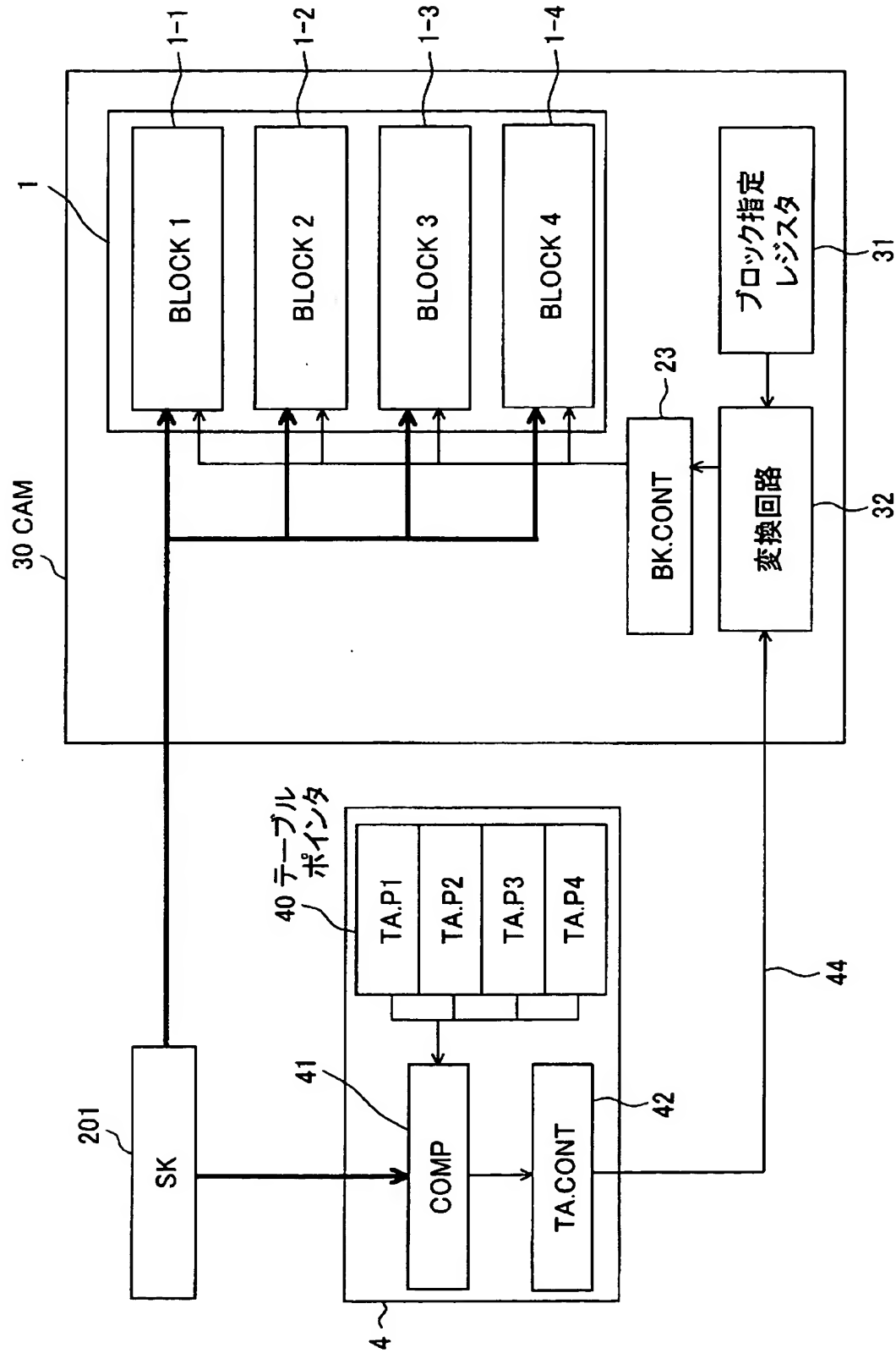
1-1~1-3...メモリブロック

21...比較指示部

22...ポインタ(格納データ範囲表示レジスタ)

23...ブロック制御部

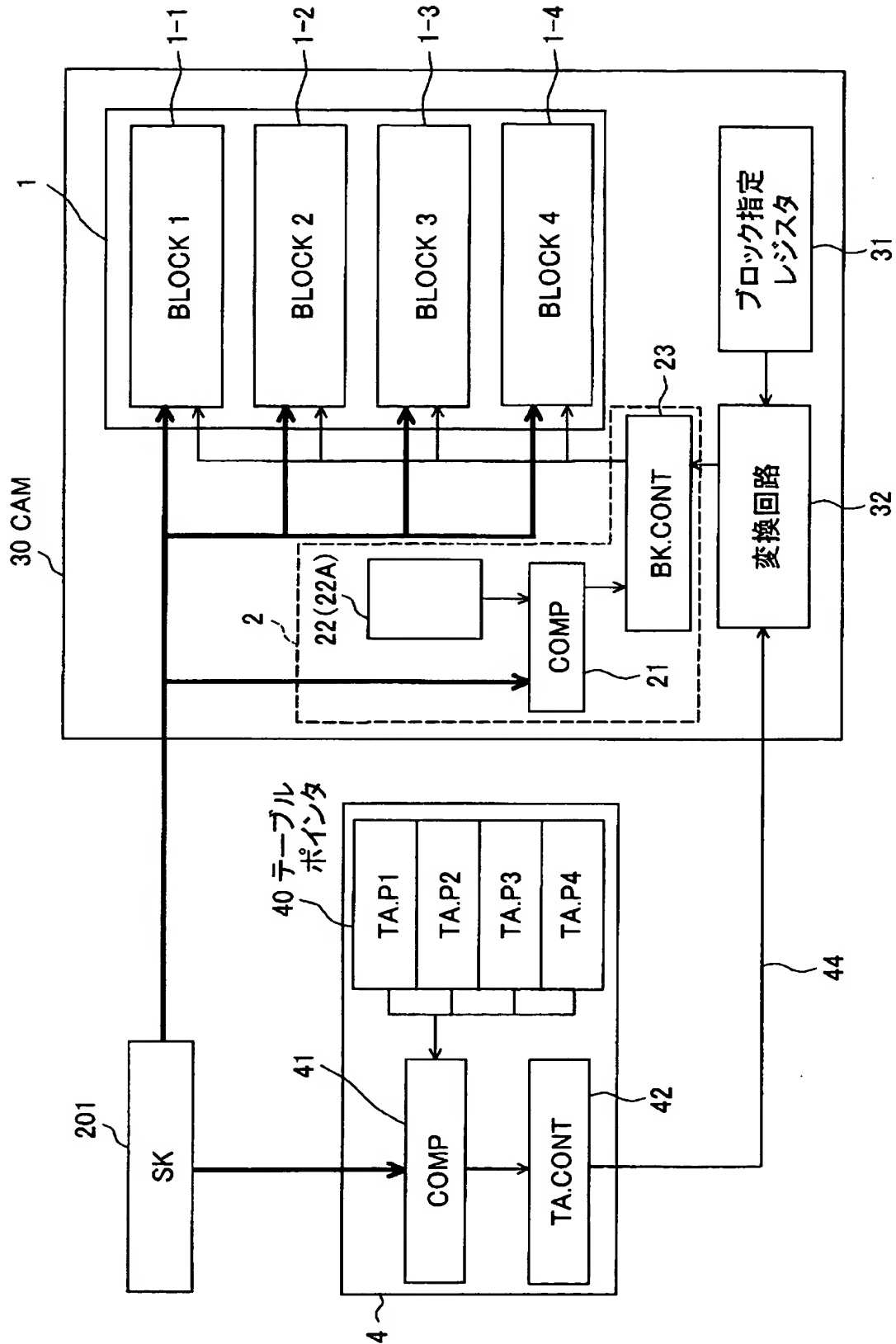
【図 6】



【図 7】

	ブロック1	ブロック2	ブロック3	ブロック4
テーブル1	1	1	0	0
テーブル2	0	1	1	0
テーブル3	0	0	1	1
テーブル3	1	0	0	0
テーブル4	0	1	0	0
テーブル5	0	0	1	0
テーブル6	0	0	0	1

【図 8】



【書類名】要約書**【要約】**

【課題】 C A M の高速検索特性を生かしつつ、低消費電力化を図る。

【解決手段】 プライオリティ P 1 ～ P 1 1 が決められた複数のルールデータ 1 0 1 を、その大小の順序により新たに順序付けし、その順序に応じてメモリブロック 1 - 1 から 1 - 3 に割り当てる。その割り当てたデータ範囲に関する情報は、レジスタ 2 2 A に格納され、ルールデータ 1 0 1 は、メモリブロックごとに再度プライオリティ P 1 ～ P 1 1 の順に並べ替えられて格納される。レンジコンパレータ 2 1 が、入力した検索データ (S K) 2 0 1 をレジスタ 2 2 A の保持内容と比較し、その結果、検索すべきメモリブロック 1 - 2 が指定される。ブロックコントローラ 2 3 は、指定されたブロック 1 - 2 のみ検索時にアクティブにし、他のブロック 1 - 1 と 1 - 3 はアクティブにしないことから、その分、検索時の消費電力が低減される。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 2 8 4 0 6
受付番号	5 0 3 0 1 5 5 4 3 4 4
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 9 月 2 5 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】

000002185

【住所又は居所】

東京都品川区北品川 6 丁目 7 番 3 5 号

【氏名又は名称】

ソニー株式会社

【代理人】

申請人

【識別番号】

100094053

【住所又は居所】

東京都台東区柳橋 2 丁目 4 番 2 号 創進国際特許
事務所

【氏名又は名称】

佐藤 隆久

特 願 2 0 0 3 - 3 2 8 4 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 品 川 区 北 品 川 6 丁 目 7 番 3 5 号

氏 名

ソ ニ ー 株 式 会 社